

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-210433

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

G06F 1/26
G06F 1/32

(21)Application number : 04-293111

(71)Applicant : SHARP CORP

(22)Date of filing : 30.10.1992

(72)Inventor : YOSHIDA YUKIHIRO

(30)Priority

Priority number : 03320460

Priority date : 04.12.1991

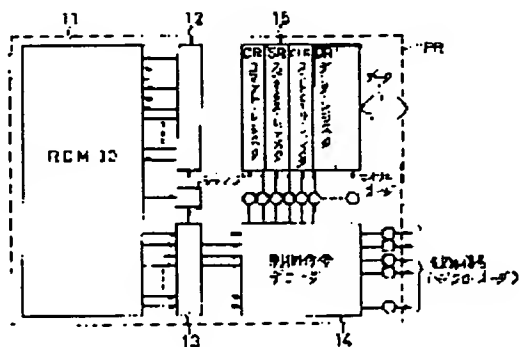
Priority country : JP

**(54) POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT, PORCESSOR
EQUIPPED WITH THE POWER CONTROLLER AND POWER MANAGING SYSTEM FOR
DIGITAL ELECTRONIC EQUIPMENT PROVIDED WITH THE PROCESSOR**

(57)Abstract:

PURPOSE: To reduce the energy consumption of the entire system and to obtain the device having the high degree of freedom by controlling the power of a digital electronic equipment by a logical system means.

CONSTITUTION: A coded power management instruction stored in a ROM 10 as a storing means is extracted and stored by a control instruction control register 13 according to the designation of an address counter 12. A control instruction decoder 14 is connected to the control instruction control register 13, decodes the power management instruction and outputs a control signal. Plural register groups 15 are connected to the control instruction decoder 14, store and process the power management instruction decoded by the control instruction decoder 14. Since the logical system means controls the power of the digital electronic equipment, the energy consumption of the entire system is reduced, and the device having the high degree of freedom can be obtained.



(5)

である。システムには各種の割込が発生するが、それぞれの割込に優先順位をつける。優先順位はシステムのアプリケーションによって異なるが、本実施例では次のように設定する。

- 【0040】優先順位1 リアルタイムクロックイベント
 - 優先順位2 スペシャル・キース入力 (待避/復帰key) イベント
 - 優先順位3 タイマイベント
 - 優先順位4 通電イベント
 - 優先順位5 メモリ転送 (DMA) イベント
 - 優先順位6 その他 (同順位) イベント
- 本実施例では多数割込はないものとするが、多数割込を許すシステムでも、新込スタックレジスタを設けることにより、個別制御部PRを用いた分散パワーマネージメント方式によるシステムを形成できる。

【0041】システムの状態には、電源投入時のシステムが初期化されるインシャライズの状態、システムが演算等を実行した後のデイスアレイや入力待ちを示す待機状態、システムがデータ処理中であることを示す実行状態及び上述した割込によって起る待避状態がある。

【0042】図5は、システムのイベントによる状態の変化を示す。

【0043】例えば、リアルタイムクロックは、最も優先度が高いが、時刻をいつでも表示するような場合、システムは常にリアルタイムクロックの新込要求を受け付け表示しなければならない。これは図5では復帰イベントに相当する。また、時刻が何時間分たればシステムを非動作に設定するような場合は、図5では待避イベントに相当する。

【0044】通電イベントでは、受信データの受信要求は、システムとは常に非同期に起り、新込優先度は高い方にもってくるのが普通であるが、データ長が決めにくいので1フレームの受信とする。完全な受信は、受信要求をシステムが出して行う。これは、図5では復帰イベントに相当する。

【0045】スペシャル・キース入力 (待避/復帰key) イベントは、システムの利用者が人為的に、システムを待避状態にし、実行状態にしたりするキース入力イベントであり、図5では待避イベント、復帰イベントに相当する。

【0046】タイマ・イベントは、システムが待機状態にあるとき、一定時間が経過すれば表示装置の表示を消すとか、システムを待避状態にするとか、待避状態から待機状態にする時間的なイベントである。

【0047】上述したことは状態遷移の一例であり、システムのアプリケーションによって多様なイベントがある。

【0048】システム全体及びシステムを構成するCPUや各I/Oコントローラは、それぞれの個別制御部PRにより、待避イベントがあれば図5に示す待避状態

(即ち、システムスタンバイ (DCバイアスモード)) を生み出すことができる。

【0049】以下、本実施例のシステムに用いられている電力コントロール回路、CPU、各I/Oコントローラ、及び各メモリについて詳述する。

【0050】図6は、電力コントロール回路PCCの構成例を示す。

【0051】図6の電力コントロール回路PCCは、2つのトランジスタからなり、PI/Oのパワーコントロールポートから出力される信号A、Bが各トランジスタのベース入力端子TA、TBにそれぞれ入力される。

【0052】なお、システムのアプリケーションによってトランジスタの数は変化する。また、トランジスタを個々に用いてもよいし、トランジスタをIC化して用いてもよい。

【0053】図7は、図6の電力コントロール回路PCCを用いたシステムの一構成例を示す。

【0054】図7に示すように、図6の電力コントロール回路PCCは、CPUや各I/Oコントローラにそれぞれ個々に接続されており、PI/Oのパワーコントロールポートから出力されるフルパワーにするためのコントロール信号AとDCバイアス・レベルにするための信号Bが2つのトランジスタのベースにそれぞれ入力され、CPUや各I/OコントローラをフルパワーまたはDCバイアスレベルに設定する。

【0055】パワーマネージメントによってCPUや各I/Oコントローラの電源をスイッチングする電力コントロール回路PCCは、Bi-CMOS技術によってパワーコントロール部内に集積回路化して内蔵させることができる。

【0056】図8は、図6及び図7の具体的な構成を示す。

【0057】外部に設けられたパワー・コントロールとPCCの端子Ai、Biとは、パワー・コントロールに含まれているトランジスタ回路部によって接続されており、オン電流、オフ電流は端子Ai、Biとパワー・コントロールとの間を図8に示す方向にそれぞれ流れる。

【0058】図8に示すように、端子Ai、Biにはトランジスタがそれぞれ配置されており、各端子Ai、Biはパワー・コントロールに含まれているBi-CMOS集積回路に接続されている。

【0059】なお、図中、端子Ai、Biは図6の端子A、Bにそれぞれ対応している。

【0060】図9及び図10は、個別制御部PRを有する並列入出力 (PI/O) コントローラの一構成例を示す。

【0061】図9に示すように、PI/Oコントローラの個別制御部PRから出力されたマイクロ・オーダは、PI/Oコントローラを構成する第1及び第2グループ・コントロール、コマンド・レジスタ、第1〜第4ポー

(6)

トの各制御ゲートCGに入力される。

【0062】次に、図10のPI/Oコントローラの個別制御部PRに含まれている各レジスタの動作を説明する。

【0063】コマンド・レジスタやデータ・レジスタは、システムの電源投入時PI/Oの個別制御部PRが実行するパワーマネージメントの命令やデータが後述する表1の各モードを実行処理するためにコード化され入力されている。

【0064】ステータス・レジスタには、個別制御部PRがパワーマネージメントをしているステータスの情報がある。個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを行っているか否かの情報、各モードの種別、及び各モードの処理の実行ステータスがコード化されている。

【0065】コントロール・レジスタには、タイムアウトの設定値やクロックダウン時の制御値等が入力されている。

【0066】PI/Oの個別制御部PRは、各ポートのコントロール、各レジスタの入出力のコントロールに使用されるマイクロオーダを出力する。更に、PI/Oの個

別制御部PRは、後述する並列入出力 (SI/O) コントローラやリアル・タイム・クロック (RTC) 等のシステムを構成するPI/O以外の構成部分の電源をコントロールするマイクロオーダを出力する。

【0067】PI/Oコントローラは、CPUとバス接続されてプリンタインターフェイス等により、プログラムにパラレルデータの出入力を行う。

【0068】図11は、PI/Oの状態の切り換えを示す。

【0069】図11に示すように、PI/Oの状態は、上述した図5のシステム全体の状態と同様であるが、時間的に異なる。

【0070】例えば、システムが実行状態にあってもプリント出力がないような状態であり、PI/Oは待機状態にある。

【0071】次に、システムの中で、各状態におけるPI/Oの個別制御部PRが論理的に実行する物理的なパワーマネージメントの一例を表1に示す。これはシステムのアプリケーションにより異なる。

【0072】
[表1]

表-1 PI/Oのパワーマネージメントモード (例)

	イニシャライズ	待機	実行	待機	△: 選択
クロックダウン		○			
クロックストップ		△		○	
マシンスリープモード				○	
DCバイアスモード		△		○	
タイムアウト		○			
パワーオン		○	○		
パワーオフ				○	
デイスアプレパワーオフ					○
バックライトパワーオフ	○		△		

印は論理的パワーオフでなく論理的パワーオフである。

【0073】ここで、表1の各項目を説明する。

【0074】クロックダウンは、PI/O内のクロック周波数を段階的に降下して、周波数を下げる。クロックストップは、PI/O内のクロックを停止させる。マシンスリープモードは、PI/O内の状態を一時記憶する。

【0075】図12及び図13は、個別制御部PRを有する中央処理装置 (CPU) の一構成例を示す。

【0076】図12に示すように、CPUの個別制御部PRから出力されたマイクロ・オーダは、CPUを構成するレジスタ/論理演算装置 (ALU) 制御部に与えられる。

【0077】次に、図13に示すCPUの個別制御部PRに含まれている各レジスタ (スタック・レジスタ及びジェネラル・レジスタを除く) について説明する。

(13)

ーラの個別制御部PRに知らせて外部記憶装置（エクスターナル・メモリ）の電源を遮断することができ、
【0150】コマンド・レジスタやデータ・レジスタには、システムの入力データがFMCが実行するパワーマネジメントの命令データが表8の各モードを実行するためにコード化して入力されている。
【0151】ステータス・レジスタには、個別制御部PRがパワーマネジメントをしているステータス情報がある。このステータス情報は、パワーマネジメントを実行しているか否かの情報、各モードの種類、及び各モード処理の進行状況がコード化されている。
【0152】コントロール・レジスタには、クロックデータ・レジスタがコード化されている。FMCの個別制御部PRから入力されるマイクロオーダーは、FMCの各レジスタの入出力をコントロールするために使われる。
【0153】電源のコントロールはFMCの個別制御部PRがP1/Oコントロールの個別制御部PRに要求を出して行なわれる。
表-8 FMCのパワーマネジメントモード（例）

	イニシヤ ラ イ ズ	待 機	実 行	待 避	△: 選択
クロックダウン		△			
クロックストップ		○		○	
マシンステートセーブ				○	
DCバイアスモード		△		○	
タイムアウト		×			
パワーオン	○	○	○		
パワーオフ				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		△		

△印は物理的パワーオフでなく論理的パワーオフである。

【0158】ここで、表8の各項目を説明する。
【0159】クロックダウンは、FMC内のクロック周波数を複数段階に設定して、周波数を下げる。クロックストップは、FMC内のクロックを停止させる。マシンステートセーブは、FMC内の状態を一時記憶する。DCバイアスモードは、FMCが待避状態に入るとき、個別制御部PRがP1/Oコントロールの個別制御部PRに知らせて、電源をコントロールし、FMCの電源をDCバイアスモードにする。タイムアウトは、FMCで待避イベントが発生しないが、システムの中でタイムアウトイベントが発生した場合、FMCの個別制御部PRがP1/Oコントロールの個別制御部PRに知らせてFMCがDCバイアスモードに入る。ディスプレイパワーオフは、FMCの個別制御部PRがP1/Oコントロールの

(14)

が、個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネジメントを実行しているか否かの情報、各モードの種類、及び各モード処理の進行状況がコード化されている。
【0163】コントロール・レジスタには、クロックデータ・レジスタがコード化されている。VDCの個別制御部PRから入力されるマイクロオーダーは、VDCの個別制御部PRがP1/Oコントロールの個別制御部PRに要求を出して行なわれる。
【0164】電源のコントロールは、VDCの個別制御部PRがP1/Oコントロールの個別制御部PRに要求を出して行なわれる。
【0165】VDCは、CPUとバス接続されており、描画タイミングの選択、直線や円弧、四角形、文字等の描画やスクロール、自動カーソル等ビデオデータのコントロールを行うコントロールである。
【0166】更に、ローカルバスには、ビデオ・ラム（以下、V-RAMと称する）がビデオデータの表示のために接続されるが、V-RAMのビットデータをコントロールするものである。このV-RAMには、D-RAMが使われるときもある。D-RAMのリフレッシュ機能を持つ。
【0167】D-RAMの変わりに、リフレッシュが不

表-9 VDCのパワーマネジメントモード（例）

	イニシヤ ラ イ ズ	待 機	実 行	待 避	△: 選択
クロックダウン		△			
クロックストップ		×		(○)	
マシンステートセーブ				○	
DCバイアスモード		△		○	
タイムアウト		×			
パワーオン	○	○	○		
パワーオフ				○	
ディスプレイパワーオフ					
バックライトパワーオフ	○		△		

△印は物理的パワーオフでなく論理的パワーオフである。

【0172】ここで、表9の各項目を説明する。
【0173】クロックダウンは、VDC内のクロック周波数を複数段階に設定して周波数を下げる。
【0174】クロックストップは、VDC内のクロックを停止させる。但し、V-RAMにD-RAMが使われているときはこのモードはない。S-RAMや類似S-RAMが使用されているときはクロックを停止させることができる。
【0175】マシンステートセーブは、VDC内の状態を一時記憶する。
【0176】DCバイアスモードは、VDCの個別制御部PRが待避状態に入るときをP1/Oコントロールの個別制御部PRに知らせて電源をコントロールし、VDCの電源をDCバイアスモードにする。
【0177】タイムアウトは、VDCではタイムアウトもないが、システムの中でタイムアウトによる待避イベントが発生した場合、VDCの個別制御部PRがP1/Oコントロールの個別制御部PRに知らせてVDCがDCバイアスモードに入る。
【0178】ディスプレイパワーオフは、VDCの個別

(15)

制御部PRがPI/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。

【0179】バックライトパワーオフは、LCDの場合、VDCの個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0180】次に、個別制御部PRを有するキーボード・コントローラ（KBC（SI/OII））の個別制御部PRに含まれている各レジスタについて説明する。

【0181】コマンド・レジスタやデータ・レジスタは、システムの電源投入時、KBCの個別制御部PRが実行するパワーマネージメントの命令やデータが表10の各モードを実行処理するためにコード化されて入力されている。

【0182】ステータス・レジスタには、個別制御部PRがパワーマネージメントをしているステータス情報が個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報や各モードの種別や各モードの処理の実行ステータスがコード化されている。

【0183】コントロール・レジスタには、クロックダウン時の制御値が入力されている。KBCに入力されるマイクロオダは、レジスタグループの入出力やその他をコントロールするために使われる。

【0184】電源をコントロールするときは、KBCの個別制御部PRがSI/O(II)の個別制御部PRを通してPI/Oコントローラの個別制御部PRに要求を出して電源がコントロールされる。

【0185】SI/O(III)は、常にKBCに同期して、シリアルにインターフェイスし、システムのキー入力を知らせ、キー入力処理を行う。また、SI/O(III)の個

表10 KBC (SI/OII) のパワーマネージメントモード (例)

	イニシ ライズ	待機	実行	待機	Δ: 選択
クロックダウン		○		Δ	
クロックストップ		Δ		○	
マージンステートセーブ				○	
DCバイアスモード		×		×	
タイムアウト		×			
パワーオン	○	○	○		
パワーオフ				×	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○				

△印は物理的パワーオフでなく論理的パワーオフである。

【0191】ここで、表10の各項目を説明する。

【0192】クロックダウンは、KBC内のクロック周

(16)

波数を複数段階に設定してクロック周波数を下げる。クロックストップは、KBC内のクロックを停止させる。

マージンステートセーブは、KBC内の状態を一時的に記憶させる。DCバイアスモードは、KBCでは、DCバイアスモードは設定しない。なぜならば、キー入力は非同断力であり、キー入力があったことをシステムに知らせなければならず、特にスペシャル・キー・SKを常に受付なければならない。しかしシステムアプリケーションによっては待機状態でのみキー入力を受け付けるシステムもあるので、このような場合はDCバイアスモードを設定できる。タイムアウトは、KBCでは、このモードを設定しない。なぜならば、非同断入力であるためにキー入力があったことを処理しなければならない。しかし、一定時間（使用時には分単位）経過すれば、他のPI/Oコントローラの個別制御部PRがタイムアウトの要求を出してタイムアウトになることがある。ディスプレイパワーオフは、KBCの個別制御部PRが、PI/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。バックライトパワーオフは、LCDの場合、KBCの個別制御部PRが、PI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0193】次に、各メモリについて説明する。

【0194】システムのメインメモリにはD-RAMが主として使用されるが、S-RAMはその低消費電力性やスタティックなデータ記憶ができることからシステム規模に応じて多く使用される。

【0195】D-RAMをメインメモリとして使用するシステムでは、その特性上、一定時間内のリフレッシュを常に伴うことからDCバイアスモードは存在しないが、CTCによるクロックダウンのパワーマネージメントは存在する。

【0196】他方、S-RAMは、その特性によってスタティックなデータ保持ができることからDCバイアスモードをもつことができる。即ち、PI/Oコントローラが待機状態に入ったとき、PI/OのPRが、S-RAM（メインメモリ）の電源をコントロールして、DCバイアスモードにする。類似S-RAMは、セルフ・リフレッシュなので、D-RAMと同様にDCバイアスモードは設定しない。

【0197】ICメモリカードは、多様なメモリが使われる部分である。大きくは、ROMとRAMである。M-RAM、EPR-OMもEPROMその他のROMも全てROMとして扱う。

【0198】ROMは、メモリの電源を遮断してもデータ保持するのでDCバイアスモードが存在し物理的にもパワーオフができるのでパワーオフモードが存在する。

【0199】他方、RAMの場合は、D-RAM、S-RAM、類似S-RAMがあるが、ICメモリカードは

増設、脱着して使用されるので、D-RAMは実用上、ICメモリカードとしての使用に難点がある。メインメモリで説明したことから、S-RAMによるICメモリカードは、DCバイアスモードをもつことができ、PI/Oコントローラの個別制御部PRが電源コントロールする。類似S-RAMの場合は、セルフ・リフレッシュをもっているのを脱着してもフルパワーにしておけば、データ保持ができるがDCバイアスモードは設定しない。D-RAMと同様に実用的にも難点がある。

【0200】大規模な大規模集積回路（LSI）化技術が進み、システムが1つのチップに集積された場合においても、CPUや他のI/Oコントローラは、このパワーマネージメントシステムによって、CPUや他のI/Oコントローラの電源を制御するように構成できる。

【0201】大規模LSI化技術によって、将来、図3のようなシステムが1つのチップに集積された場合や、もっと進んでウェアウェア・スケール・インテグレーション技術により、システムが集積された場合、システムはシリコンの上に乗るようになってくる。このとき、低消費電力化がますます重要になってくる。このとき、システムはシリコンの上に集積されるが、上述した本発明の分散パワー・マネージメント・システムによって、CPUや他のI/Oコントローラ、その他のメモリの電源を制御できるので、シリコン上の消費電力をシステム全体に分散させることができる。即ち、安定したシステムの動作や大規模LSIの安定性や信頼性を確保することができる。

【0202】また、半導体の周波数は、駆動電圧に依存するという特性を有しており、駆動電圧を高くすると動作周波数を高くすることができ、駆動電圧を低くすると動作周波数を低くすることができる。上述した本発明の分散パワー・マネージメント・システムは、電源をコントロールして駆動電圧をスイッチングしているので、フル・パワー・モードとDCバイアス・モードをもつことができる。このことは、低消費電力化を実現させると共に、システムの動作、非動作によって処理速度の上げと下げを制御してシステム全体の処理速度を落すことがないように制御することが可能になる。即ち、システムの動作中は処理速度を上げ、非動作中は処理速度を下げる制御も可能になる。

【0203】図15は、図7に示されたパワー・コントロールのプロック図に対応したパワー制御の信号波形と制御信号A、Bによってスイッチングされる電源の動きを示すタイミング・チャートである。

【0204】即ち、図15は、外部のパワー・コントロール部（即ち、PI/Oのパワー・コントロール・ポートからの入出力信号によって、制御信号A、Bを合成させる）を通してCPUやI/Oコントローラのそれぞれ

の電源をコントロールする制御信号A、Bの波形例を示している。

【0205】なお、制御信号A、Bの波形はCPUやS-

(17)

それぞれのI/Oコントローラの機能的特性やシステムによって異なる。

【0206】図16は、本発明のパワー・コントロールの第2実施例の構成を示すブロック図である。

【0207】図16の個別制御部PRは、個別制御部PR自体でも電源をコントロールできるように構成されている。

【0208】図16の個別制御部PRは、図1に示す本発明のパワー・コントロールの第1実施例に対して、パワー・コントロールするためのロジック・ブロックが追加されている。

【0209】追加されたロジック・ブロックは、制御ゲート16、及び制御ゲート16に接続されたフリップ・フロップ17によって構成されている。

【0210】上記ロジック・ブロックでは、制御ゲート16はマイクログラフター・レジスタの出力ビットであるパワー・コントロール・ビットの出力信号をそれぞれ入力し、フリップ・フロップ17は制御ゲート16の出力に基づいてオン状態またはオフ状態を形成して、このオン状態またはオフ状態に基づいてPCCへの入力信号Ai、Biを出力する。

【0211】図17は、このときのパワー制御の信号波形である制御信号A、制御信号Bを示すタイミングチャートである。図17は、更に、制御信号A、制御信号Bによって制御される電源の動きも示している。

【0212】制御信号Aは、個別制御部PR自体でコントロールされるので、スタンバイ・モードに入るときは電源が-V_{cc}にスイッチングされるため、信号レベルは図17に示すようになる。

【0213】また、制御信号Bは、フル・パワー・モードでは電源が-V_{cc}にスイッチングされるため、図14に示すようになる。

【0214】即ち、スタンバイ・モードにする信号が制御信号Bであり、フル・パワー・モードにする信号が制御信号Aである。

【0215】図18は、個別制御部PR自体でパワー制御を行うときのブロック図を示している。なお、制御信号A、制御信号Bの波形は、CPUやそれぞれのI/Oコントローラの機能的特性やシステムによって異なる。

【0216】図19は、図18のCPUに関する構成を詳細に示す図である。

【0217】図19に示すように、CPUは、個別制御部PRと、個別制御部PRに接続されていると共にPC Cにも接続されているトランジスタ回路部を備えている。また、図19には、オン電流、オフ電流はトランジスタ回路部とPCCの端子Ai、Biとの間を流れている。

【0218】図19に示すように、CPUや他のI/OコントローラにはBi-CMOSが含まれており、Bi-CMOSはPCCの端子Ai、Biに接続されていると共に、CPUや他のI/Oコントローラに含まれている個別制御部PRに接続されている。

【0219】表11は、図1のコマンド・レジスタによるパワー・マネージメント命令を示す。

【0220】

【表11】

(18)

P1/O の個別制御部PRが実行可能なパワー・マネージメント命令

命令の名称	命令の説明	略称	P/O
クロック・ダウン	CR2の1ビット目	CR2 (1)	1 O
クロック・コントロール	CR2の2ビット目	CR2 (2)	1 O
タイム・アウト	CR2の3ビット目	CR2 (3)	0 X
未定義 (定義可能)	CR2の4ビット目	CR2 (4)	0 O
DCバイパス・モード	CR2の5ビット目	CR2 (5)	1 O
パワー・オフ	CR2の6ビット目	CR2 (6)	1 O
ディスプレイ・パワー・オフ	CR2の7ビット目	CR2 (7)	1 O
バックライト・パワー・オフ	CR2の8ビット目	CR2 (8)	1 O
パワー・オン	CR1の1ビット目	CR1 (1)	0 O
スピード・ダウン	CR1の2ビット目	CR1 (2)	1 O
スピード・フル	CR1の3ビット目	CR1 (3)	1 O
未定義 (定義可能)	CR1の4ビット目	CR1 (4)	0 X
	CR1の5ビット目	CR1 (5)	0 X
	CR1の6ビット目	CR1 (6)	0 X
	CR1の7ビット目	CR1 (7)	0 X
	CR1の8ビット目	CR1 (8)	0 X

【0221】表11は、表11に示した図1のコマンド・レジスタの構成内容を示す。

【表12】

【0222】

(19)

コマンド・レジスタCR (8ビット×2本)
(パワー・オン時に予め、プログラムで命令をセットしておく)

8	7	6	5	4	3	2	1	CR2
8	7	6	5	4	3	2	1	CR1

【0223】表13は、図1のステータス・レジスタの構成内容を示す。
ステータス・レジスタSR (8ビット×2本)

SR3	SR2	SR1	M/S	SR4	SR11	SR10	SR9	SR2
SR1	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR1

SR3, SR2, SR1 : システムの状態を示す
M/S : マスター (主) とスレーブ (従) のスイッチ・フラッグ
SR1 (キー入力) : Noo Available Interrupt (マスタできない割込)
SR1 ~ SR11 : System Management Interrupt (システム管理による割込)
【0225】表14は、表13に示した状態を表すSR3, SR2, 及びSR1の具体的な内容を示す。
【表14】

SR3	SR2	SR1	各デバイスの状態
0	0	0	イニシャライズ状態
0	0	1	待機状態
0	1	0	待避状態
0	1	1	実行状態
1	0	0	未定義 (定義可能)
1	0	1	
1	1	1	

【0227】表15は、表13に示したM/S, SR11, SR10のスイッチ・ロジックを示す。

(20)

【0228】

【表15】

種類	PRとPI/Oのスイッチ・ロジック
SW1_1	VDCのSWI
SW1_2	FMCのSWI
SW1_3	SI/O (II) のSWI
SW1_4	DMA CのSWI
SW1_5	INTCのSWI
SW1_6	CTCのSWI
SW1_7	RTCのSWI
SW1_8	PI/OのSWI
SW1_9	SI/O (I) のSWI
SW1_10	KBCのSWI
SW1_11	CPUのSWI

【0229】表16は、図1のコントロール・レジスタの構成内容を示す。
コントロール・レジスタCLR (8ビット×2本)

【表16】

8	7	6	5	4	3	2	1	CLR2 (クロック・ダウン値)
8	7	6	5	4	3	2	1	CLR1 (タイム・アウト値)

それぞれの値は、プログラムでセットする。

【0231】また、表17及び表18は、コントロール・レジスタのクロック・ダウン値及びタイム・アウト値をそれぞれ示す。
【表17】

【表18】

(21)

	クロック・ダウン値
CLR2の1ビット目がセット	1/4倍
CLR2の2ビット目がセット	1/8倍
CLR2の3ビット目がセット	1/12倍
CLR2の4ビット目がセット	1/16倍
CLR2の5ビット目がセット	1/20倍
CLR2の6ビット目がセット	スピード・ダウン
CLR2の7ビット目がセット	スピード・フル
CLR2の8ビット目がセット	クロック・ストップ

[0233]

【表18】

	タイム・アウト値
CLR1の1ビット目がセット	4倍
CLR1の2ビット目がセット	8倍
CLR1の3ビット目がセット	12倍
CLR1の4ビット目がセット	16倍
CLR1の5ビット目がセット	20倍
CLR1の6ビット目がセット	24倍
CLR1の7ビット目がセット	28倍
CLR1の8ビット目がセット	32倍

[0234] 表19及び表20は、図1のデータ・レジスタの構成内容及び具体的な命令内容をそれぞれ示す。

(22)

[0235]

【表19】

データ・レジスタDR (8ビット×2本)
(各ビットのフラッグのセットはプログラムで行い、このデータをパワー・コントロールポートに出す。)

8	7	6	5	4	3	2	1	DR2
8	7	6	5	4	3	2	1	DR1

[0236]

【表20】

命令の名称	命令の説明
VDCのパワー・コントロール	DR1の1ビット目
FMCのパワー・コントロール	DR1の2ビット目
SI/O (II) の パワー・コントロール	DR1の3ビット目
DMACのパワー・コントロール	DR1の4ビット目
INTCのパワー・コントロール	DR1の5ビット目
CTCのパワー・コントロール	DR1の6ビット目
RTCのパワー・コントロール	DR1の7ビット目
PI/Oのパワー・コントロール	DR1の8ビット目
SI/O (I) の パワー・コントロール	DR2の1ビット目
K8Cのパワー・コントロール	DR2の2ビット目
CPUのパワー・コントロール	DR2の3ビット目
ディスプレイ・パワー・オフ	DR2の4ビット目
バックライト・パワー・オフ	DR2の5ビット目
パワー・オフ	DR2の6ビット目
パワー・オン	DR2の7ビット目
ディスプレイ/バックライト パワー・オン	DR2の8ビット目

各デバイスの
パワー・コント
ロールフラッグ

パワー・コント
ロール定義可能
なフラッグ

(23)

【0237】表11～表20は、多様なパワー・マネージメント命令がある中でその一例であり、また各レジスタの構成内容も多様である中での一例である。

【0238】次に、上記表11～表20、及び図20～図22のフローチャートをそれぞれ参照して、図1に示すP1/Oの個別制御部PRのパワー・マネージメントの動作がシステムアプリケーションによって種々ある中で、その一例を説明する。

【0239】まず、図9に示す並列入出力コントローラ(P1/O)を構成しているコマンド・レジスタ、第1ポート～第4ポート、第1グローバル・コントローラ、及び第2グループ・コントローラをそれぞれ初期化(インシャライズ)して(ステップS1)、図1のP1/Oの個別制御部PRを構成しているコマンド・レジスタCRをF306にセットすると共に、ステータス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ000(各数値はhexadecimal)にセットして(ステップS2)、P1/Oの個別制御部PRをインシャライズ状態に設定し(ステップS3)、インシャライズが終了したか否かを判定し(ステップS4)、上記ステップS4でインシャライズが終了していない(NO)と判定された場合には、スペシャル・キー(SKキー)の割込があったか否かを判定し(ステップS5)、上記ステップS5でSKキーの割込がない(NO)と判定された場合には、上記ステップS3に戻って実行し、上記ステップS5でSKキーの割込があったか否かを判定し、以下、NM1と称した利込(Non-Hashable Interrupt, 以下、NM1と称する)を1にセットすると共に、マスター/スレーブのフラッグ(以下、M/Sと称する)も同時に1にセットし(ステップS6)、システムの状態を表すSM3を0、SM2を1、及びSM1を0にそれぞれセットして(ステップS7)、“待選状態”(表14参照)(ステップS8)、処理1を実行する(ステップS9)。

【0240】ここで、図23を参照して、処理1の内容を説明する。

【0241】図23に示すように、処理1では、コマンド・レジスタCR2の2番目のビットCR2(2)が1であるか否か(即ちクロックをコントロールするか否か)を判定し(ステップS9.1)、上記ステップS9.1を判定し(ステップS9.1)、上記ステップS9.1でコマンド・レジスタCR2(2)が1である(YES)でコマンド・レジスタをコントロールすると判定された場合には、コントロール・レジスタCLR2の2番目のビットCLR2(2)を1にセットして(ステップS9.2)、クロック・ダウン値を1/8倍(表17参照)にセットして処理を終了する(ステップS9.3)。また、上記ステップS9.1でコマンド・レジスタCR2(2)が1でない(NO)と判定された場合には、処理を終了

(24)

く、コントロールか否か)を判定し(ステップS19.10)、上記ステップS19.10でコマンド・レジスタCR2(2)が1である(YES) (即ちクロック・コントロールである)と判定された場合には、コントロール・レジスタCLR2の8番目のビットCLR2(8)を1にセットし(ステップS19.11)、クロック・ストップ(表17参照)を形成する(ステップS19.2)。

【0248】図21に戻って、処理2を終了したならば、再びSKキーの割込があったか否かを判定し(ステップS20)、上記ステップS20でSKキーの割込があった(YES)と判定された場合には、NM1及びM/Sをそれぞれ0にリセットし(ステップS21)、S M3及びSM2を0に、SM1を1に、コントロール・レジスタCLRを000に、データ・レジスタDRを0000にそれぞれリセットして(ステップS22)、データ・レジスタDRの内容を第1ポート出力して(ステップS23)、上記ステップS14に戻る。

【0249】また、上記ステップS20でSKキーの割込がない(NO)と判定された場合には、コマンド・レジスタCR1の1番目のビットCR1(1)が1であるか否か(即ち、パワー・オンか否か)を判定し(ステップS24)、上記ステップS24でCR1(1)が1でない(NO)と判定された場合には、上記ステップS18に戻り、他方、上記ステップS24でCR1(1)が1である(YES)と判定された場合には、データ・レジスタDR2の8番目のビットDR2(8)を1にセットし(ステップS25)、デイスプレイ/バックライトをオンにして(ステップS28)、上記ステップS18に戻る。

【0250】上記ステップS15でSKキーの割込がない(NO)と判定された場合には、処理3を実行する(ステップS27)。

【0251】ここで、図25を参照して、処理3を説明する。

【0252】図25に示すように、処理3では、M/Sを1にセットし(ステップS27.1)、“システム管理による割込”(System Management Interrupt (以下、SMIと称する))のSM1が1であるか否かを判定し(ステップS27.2)、上記ステップS27.2でSM1が1である(YES)と判定された場合には、データ・レジスタDR1の1番目のビットDR1(1)を1にセット(即ち、VDCのパワー・コントロールをオン)し(ステップS27.3)、上記ステップS27.2でSM1が1でない(NO)と判定された場合には、DR1(1)を0にセットする(ステップS27.4)。

【0253】続いて、SM1が1であるか否かを判定し(ステップS27.5)、上記ステップS27.5でSM1が1である(YES)と判定された場合には、データ・レジスタDR1の2番目のビットDR1(2)を1

にセット(即ち、FMCのパワー・コントロールをオン)し(ステップS27.6)、上記ステップS27.5でSM1が1でない(NO)と判定された場合には、DR1(2)を0にセットする(ステップS27.7)。

【0254】以下、SM1が1であるか否かを判定し(ステップS27.8)、上記ステップS27.8でSM1が1である(YES)と判定された場合には、データ・レジスタDR1の3番目のビットDR1(3)を1にセット(即ち、S1/O(11)のパワー・コントロールをオン)し(ステップS27.9)、上記ステップS27.8でSM1が1でない(NO)と判定された場合には、DR1(3)を0にセットする(ステップS27.10)。

【0255】同様に、SM1が1であるか否かを判定し(ステップS27.11)、上記ステップS27.11でSM1が1である(YES)と判定された場合には、データ・レジスタDR1の4番目のビットDR1(4)を1にセット(即ち、DMACのパワー・コントロールをオン)し(ステップS27.12)、上記ステップS27.11でSM1が1でない(NO)と判定された場合には、DR1(4)を0にセットする(ステップS27.13)。

【0258】SM1が1であるか否かを判定し(ステップS27.14)、上記ステップS27.14でSM1が1である(YES)と判定された場合には、データ・レジスタDR1の5番目のビットDR1(5)を1にセット(即ち、INTCのパワー・コントロールをオン)し(ステップS27.15)、上記ステップS27.14でSM1が1でない(NO)と判定された場合には、DR1(5)を0にセットする(ステップS27.16)。

【0257】SM1が1であるか否かを判定し(ステップS27.17)、上記ステップS27.17でSM1が1である(YES)と判定された場合には、データ・レジスタDR1の6番目のビットDR1(6)を1にセット(即ち、CTCのパワー・コントロールをオン)し(ステップS27.18)、上記ステップS27.17でSM1が1でない(NO)と判定された場合には、DR1(6)を0にセットする(ステップS27.19)。

【0258】SM1が1であるか否かを判定し(ステップS27.20)、上記ステップS27.20でSM1が1である(YES)と判定された場合には、データ・レジスタDR1の7番目のビットDR1(7)を1にセット(即ち、RTCのパワー・コントロールをオン)し(ステップS27.21)、上記ステップS27.20でSM1が1でない(NO)と判定された場合には、DR1(7)を0にセットする(ステップS27.22)。

【0259】同様に、SM1が1であるか否かを判定し(ステップS27.23)、上記ステップS27.23でSM1が1である(YES)と判定された場合には、データ・レジスタDR2の1番目のビットDR2(1)を1

(27)

された場合には、後述するステップS49に進む。また、上記ステップS46でCR1(3)が1である(YES)と判定された場合には、コントロール・レジスタCLR2(7番目のビットCLR2(7))を1にセットして(ステップS47)、クロック・ダウン値をスピード・フルに設定し(ステップS48)、M/Sを0に設定し(ステップS49)、プリント出力かし(ステップS50)、SKキーの割込があったか否かを判定(ステップS51)、上記ステップS51でSKキーの割込があった(YES)と判定された場合には、上記ステップS38に戻り、上記ステップS42でSKキーの割込がない(NO)と判定された場合には、上述した処理0.3を処理し(ステップS52)、実行終了か否かを判定し(ステップS53)、上記ステップS53で実行が終了していない(NO)の場合には上記ステップS35に戻り、上記ステップS53で実行が終了している(YES)の場合には、M/Sを0に、ステータス・レジスタSR、コントロール・レジスタCLR、データ・レジスタDRを0000にそれぞれリセットし(ステップS54)、データ・レジスタDRの内容を第1ポートに出力し(ステップS55)、SM3を0に、SM2を0に、SM1を1にそれぞれリセットして(ステップS56)、上述したステップS14に戻る。

【0280】図28は、図7の第1実施例と図18の第2実施例を組合わせた構成を示しており、各構成部分や動作は第1実施例及び第2実施例にそれぞれ対応しているため説明を省略する。

【0281】

【発明の効果】第1発明のデジタル電子機器用電力制御装置は、符号化された電力マネージメント命令を出力する記憶手段と、記憶手段に接続されており記憶手段をアクセスするアクセス手段と、記憶手段に接続されており記憶手段から出力された符号化された電力マネージメント命令を記憶する命令制御手段と、命令制御手段に接続されており命令制御手段に記憶された符号化された電力マネージメント命令を復号して制御信号を出力する復号手段と、復号手段に接続されており復号手段により復号された電力マネージメント命令を記憶して処理する複数のレジスタとを備えているので、論理的システム手段によりデジタル電子機器の電力を制御できる。

【0282】第2発明の処理装置は、消費電力が低減されるように電源を所定のモードに設定すると共に設定されたモードに基づいて入力及び出力を制御するので、処理装置毎に臨々に電力を制御できる。

【0283】第3発明のデジタル電子機器用電力管理システムは、処理装置の複数の電源を一つ又は複数の大規模集積回路で形成し、一つ又は複数の大規模集積回路の消費電力が低減されるように各複数の処理装置の電力を制御するので、システム全体の電力を低減して、自由度が高くなり、デジタル電子機器用電力管理システムを構成でき、そ

(28)

ミング・チャートである。

【図18】個別制御部自体でパワー制御を行うときのシステムの構成例を示すブロック図である。

【図19】図18のCPU部分の構成例を示す説明図である。

【図20】図1のP1/Oを構成する個別制御部の動作を説明するための第1のフローチャートである。

【図21】図1のP1/Oを構成する個別制御部の動作を説明するための第2のフローチャートである。

【図22】図1のP1/Oを構成する個別制御部の動作を説明するための第3のフローチャートである。

【図23】図20の処理1を説明するためのフローチャートである。

【図24】図21の処理2を説明するためのフローチャートである。

【図25】図21と図22の処理3を説明するためのフ

の結果、各構成部分で極めて細かくパワーマネージメントを行ってシステム全体の消費電力を大きく低減でき

【0284】表17のクロック・ダウン値や表18のタイム・アウト値を設定する制御回路は、知られている方法で実現できるもので特に図示していない。また、表20に示されるパワー・コントロール定義可能なフラグによるパワー・コントロールの制御回路も容易に実現できるので、図示していない。

【0285】第1実施例では、P1/OのSM18を被出する例を示していないが、第2実施例のように、CPUやI/Oコントローラ自体でパワー・コントロールする制御では、P1/Oの個別制御部PRがSM18を被出して、P1/OのDCバイアス・モードを設定する。

【図面の簡単な説明】

【図1】本発明のデジタル電子機器用電力管理装置の一実施例である個別制御部の構成を示すブロック図である。

【図2】図1の個別制御部の動作を説明するためのフローチャートである。

【図3】図1の個別制御部を備えたシステムの構成例を示すブロック図である。

【図4】電源がフルパワー及びDCバイアスに変化したときの電源の動作を示す説明図。

【図5】図3のシステムの状態図である。

【図6】電源コントロール回路の構成例を示すブロック図である。

【図7】図6の電源コントロール回路を用いたシステムの一構成例を示すブロック図である。

【図8】図7のCPU部分の構成例を示す説明図である。

【図9】図1の個別制御部を有する並列入出力コントローラの一構成例を示すブロック図である。

【図10】図9のコントローラに対応する個別制御部のレジスタの構成例を示すブロック図である。

【図11】図10及び図11の並列入出力コントローラの状態図である。

【図12】図1の個別制御部を有する中央処理装置(CPU)の一構成例を示すブロック図である。

【図13】図12のCPUに対応する個別制御部のレジスタの構成例を示すブロック図である。

【図14】図12及び図13のCPUの状態図である。

【図15】図7に示されたパワー・コントロールのブロック図に対応したパワー制御の信号波形と制御信号A、Bによってスイッチングされる電源の動きを示すタイミング・チャートである。

【図16】本発明のパワー・コントロールの第2実施例であり個別制御部自体でも電源をコントロールできる構成を示す個別制御部のブロック図である。

【図17】図16の実施例の動作を説明するためのタイ

ローチャートである。

【図26】図22の処理4を説明するためのフローチャートである。

【図27】図22の処理5を説明するためのフローチャートである。

【図28】本発明のパワー・コントロールの第3実施例である第1実施例及び第2実施例を組合わせた構成を示すブロック図である。

【符号の説明】

10 リードオンリメモリ(ROM)

11 プログラム記憶部

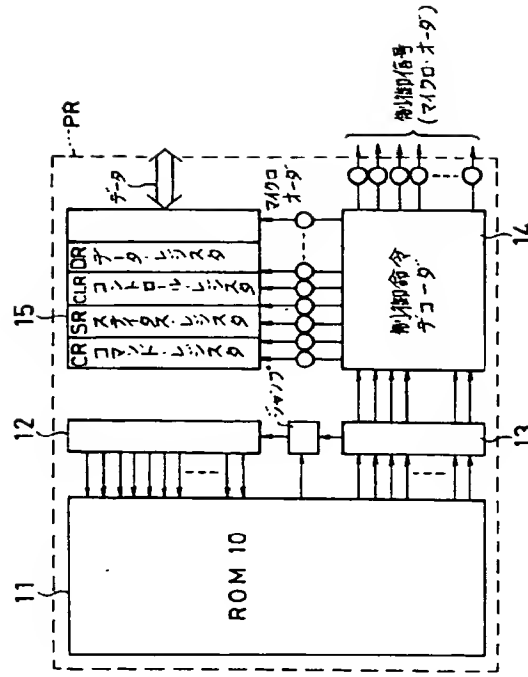
12 アドレスカウンタ

13 制御命令レジスタ

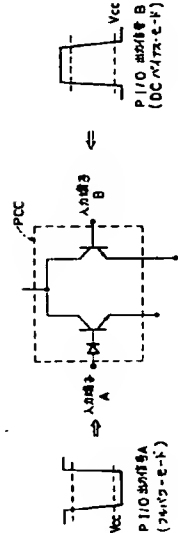
14 制御命令デコーダ

15 レジスタ・グループ

【図1】



【図6】

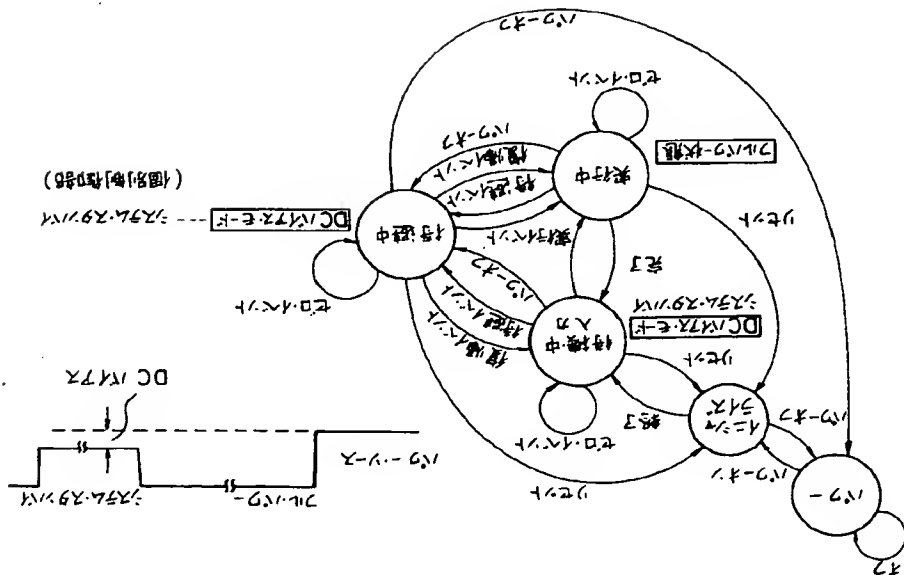


【図13】



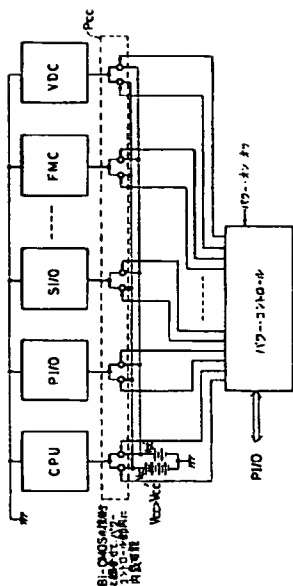
(31)

【図5】

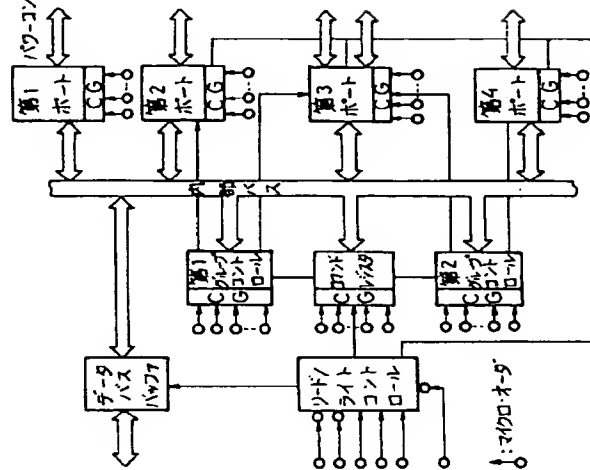


(32)

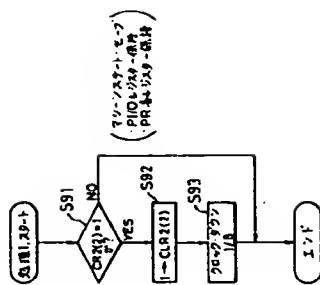
【図7】



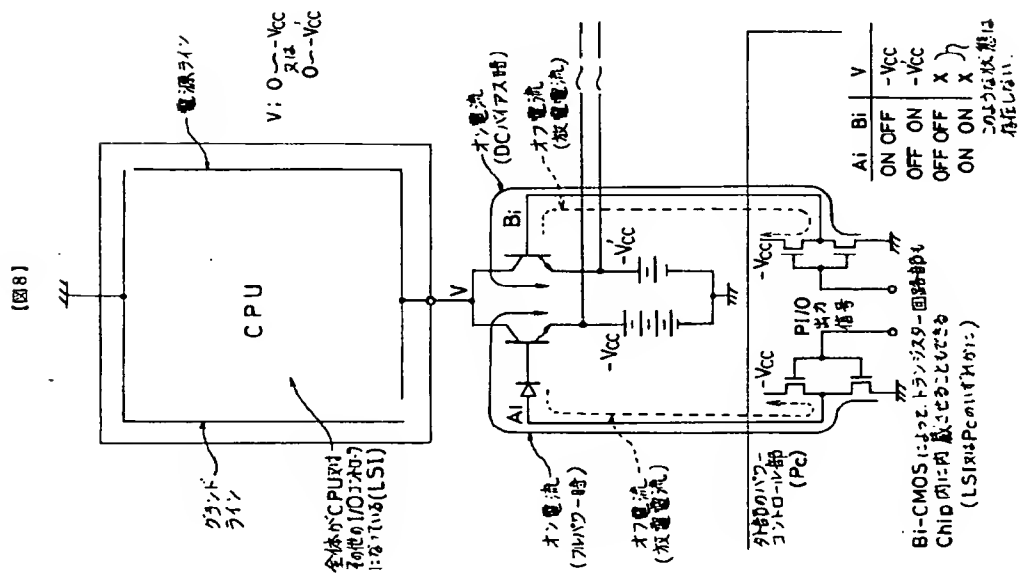
【図9】

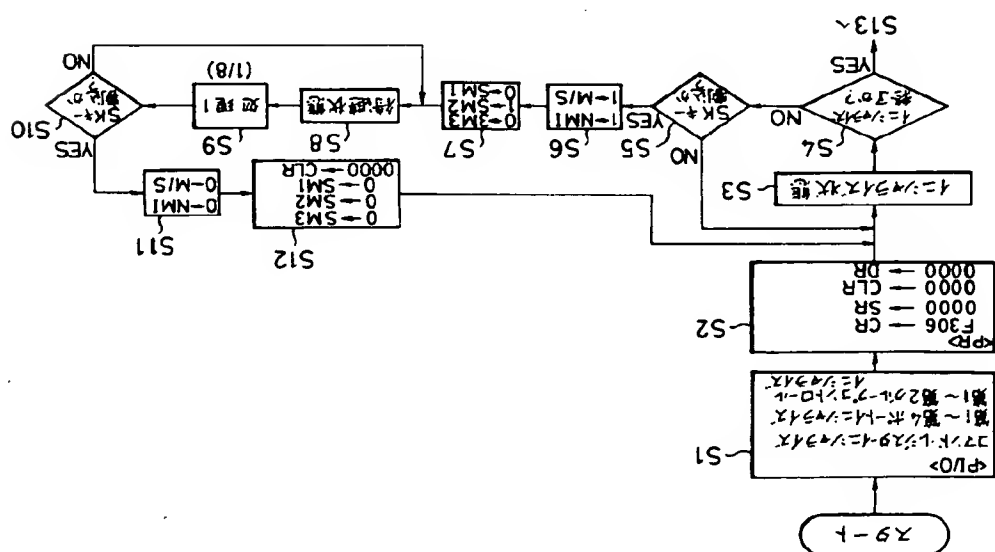


【図23】



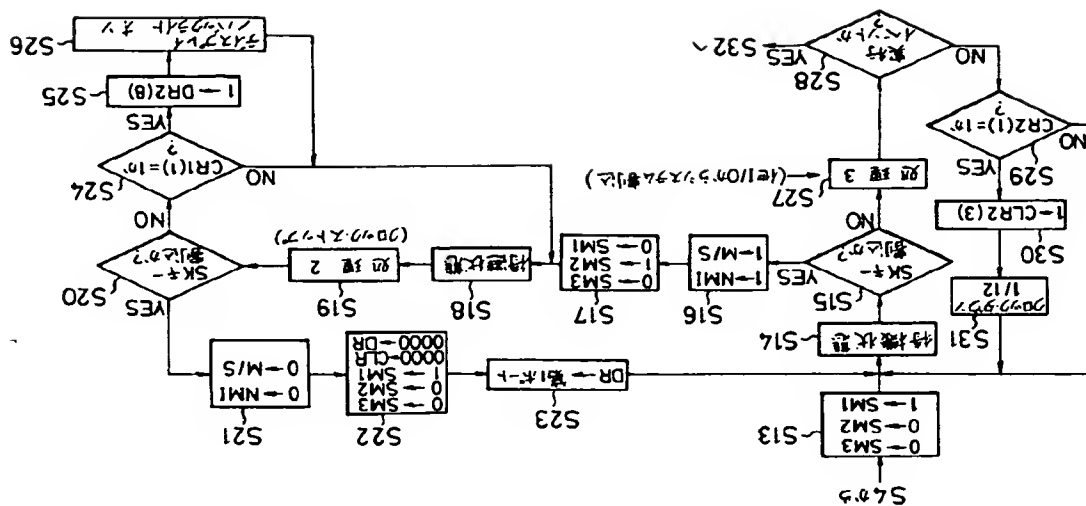
(33)





【圖20】

(41)

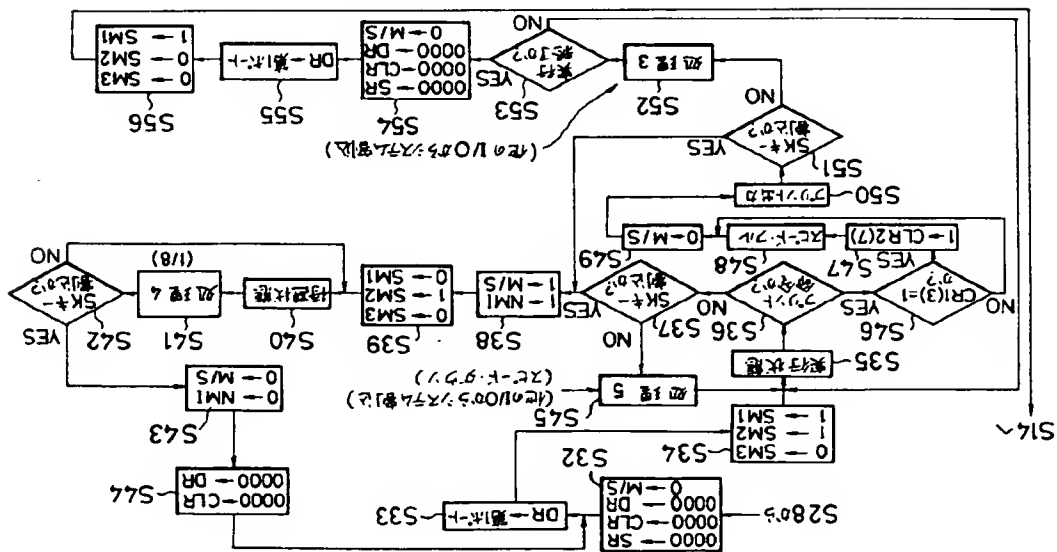


【221】

(42)

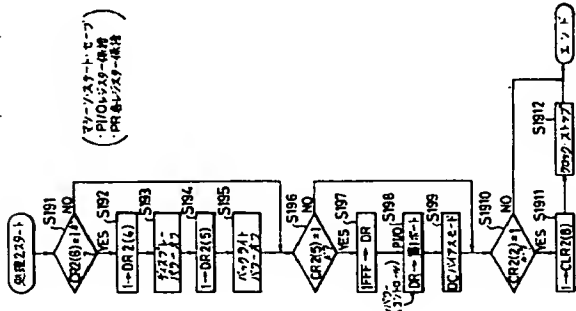
(43)

【図22】

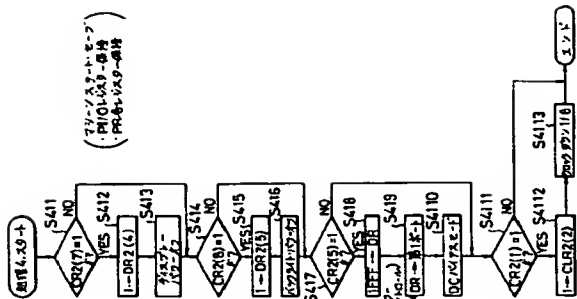


(44)

【図24】



【図26】



(46)

(27)

